

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

CHANG AUCK CHOI, ET AL.

Application No.:

Filed:

For: TUNABLE-WAVELENGTH OPTICAL  
FILTER AND METHOD OF  
MANUFACTURING THE SAME

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2002-0078443	10 December 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 9/24/02

Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0078443  
Application Number PATENT-2002-0078443

출원년월일 : 2002년 12월 10일  
Date of Application DEC 10, 2002

출원인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Institute



2003    년    01    월    08    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.12.10
【발명의 명칭】	파장가변 광 필터 및 그 제조방법
【발명의 영문명칭】	Tunable wavelength optical filter and method of manufacturing the same
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	최창억
【성명의 영문표기】	CHOI, Chang Auck
【주민등록번호】	540218-1675413
【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛아파트 102-1001
【국적】	KR
【발명자】	
【성명의 국문표기】	이명래
【성명의 영문표기】	LEE, Myung Lae
【주민등록번호】	661027-1109917
【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 111-5 주영빌라 206호
【국적】	KR
【발명자】	
【성명의 국문표기】	김창규
【성명의 영문표기】	KIM, Chang Kyu
【주민등록번호】	730329-1406316



1020020078443

출력 일자: 2003/1/9

<b>【우편번호】</b>	305-335
<b>【주소】</b>	대전광역시 유성구 공동 자연아파트 815호
<b>【국적】</b>	KR
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	전치훈
<b>【성명의 영문표기】</b>	JUN, Chi Hoon
<b>【주민등록번호】</b>	590718-1690812
<b>【우편번호】</b>	305-345
<b>【주소】</b>	대전광역시 유성구 신성동 160-1(5/4) 한울아파트 108-404
<b>【국적】</b>	KR
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	김윤태
<b>【성명의 영문표기】</b>	KIM, Yun Tae
<b>【주민등록번호】</b>	570415-1067426
<b>【우편번호】</b>	305-345
<b>【주소】</b>	대전광역시 유성구 신성동 한울아파트 110-106
<b>【국적】</b>	KR
<b>【심사청구】</b>	청구
<b>【취지】</b>	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
<b>【수수료】</b>	
<b>【기본출원료】</b>	20 면 29,000 원
<b>【가산출원료】</b>	13 면 13,000 원
<b>【우선권주장료】</b>	0 건 0 원
<b>【심사청구료】</b>	26 항 941,000 원
<b>【합계】</b>	983,000 원
<b>【감면사유】</b>	정부출연연구기관
<b>【감면후 수수료】</b>	491,500 원
<b>【기술이전】</b>	
<b>【기술양도】</b>	희망
<b>【실시권 허여】</b>	희망
<b>【기술지도】</b>	희망
<b>【첨부서류】</b>	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 패브리-패럿 구조의 능동형 파장가변 광 필터에 관한 것이다. 본 발명은, 실리콘막 및 산화막이 순차적으로 다층 적층되고 최상부에 실리콘막이 적층된 형태의 하부 거울과, 상기 하부 거울과 소정 거리 이격되어 실리콘막 및 산화막이 순차적으로 다층 적층되고 최상부에 실리콘막이 적층된 형태의 상부 거울과, 상기 하부 거울 및 상기 상부 거울을 반도체 기판에 연결하여 지지하기 위한 연결 수단 및 상기 하부 거울 및 상기 상부 거울 사이의 간극을 정전력으로 제어하기 위한 전극패드를 포함하는 파장가변 광 필터 및 그 제조방법을 제공한다. 본 발명에 의하면, 실리콘막 및 산화막의 다층 구조로 이루어진 상부 및 하부 거울을 정전력에 의하여 미소하게 구동함으로써 입사광에 대한 투과광 파장을 선택적으로 송출할 수가 있다.

**【대표도】**

도 1

**【색인어】**

파장가변 필터, 파장분할다중, 미소거울, 미세기전집적시스템

## 【명세서】

## 【발명의 명칭】

파장가변 광 필터 및 그 제조방법(Tunable wavelength optical filter and method of manufacturing the same)

## 【도면의 간단한 설명】

도 1은 본 발명의 바람직한 실시예에 따른 패브리-페럿 구조의 능동형 파장가변 광 필터를 도시한 도면이다.

도 2 내지 도 19는 패브리-페럿 구조의 능동형 파장가변 광 필터를 제조하는 방법을 설명하기 위하여 도시한 단면도들이다.

## &lt;도면의 주요 부분에 부호의 설명&gt;

100: 반도체 기판    102: 열산화막

104: 제1 회생 산화막    116: 제2 회생 산화막

106, 110, 114, 118, 122, 126: 실리콘막

108a, 112a, 120a, 124a: 실리콘 산화막 패턴

130: 광섬유 삽입 개구부    140, 142: 전극패드

150: 거울 영역    155: 토션 바 또는 스프링

160, 162: 광섬유    164: 신호광

180: 하부 거울    182: 상부 거울

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 파장가변 광 필터에 관한 것으로, 더욱 상세하게는 패브리-페롯 구조의 능동형 파장가변 광 필터에 관한 것이다.

<13> 반도체 공정기술을 근간으로 하는 미세기전집적시스템(Micro Electro Mechanical System; 이하 'MEMS'라 함) 기술 중 파장분할다중(Wavelength Division Multiplexing; WDM)용 능동형 광 필터 제작기술은 광 통신분야에 응용되는 것으로, 최근 인터넷 등 대용량 정보유통을 위한 광 신호 분리 및 다중화 장치에 사용된다. 이러한 광 필터는 광 파장 다중화 전송방식으로 보내진 광 신호를 송출 시 파장영역별로 분리시켜 입력된 광 신호를 파장별 출력신호로 분리하는 기능을 가진다. 특히 동적(dynamic) WDM 시스템 구현을 위해서는 고속으로 동작되는 능동형 파장가변형 광 필터 제작이 핵심적이다. 이를 구현하기 위한 종전의 파장가변 필터 제작기술은 여러가지가 제안되고 있으나 그 중 압전 재료로써 두 쌍의 패브리-페롯(Fabry-Perot; FP) 미소거울의 간극을 조절하는 압전형(Piezoelectric transducer) 필터의 경우, 느린 응답특성 및 사용재료의 물성적 불안정성으로 인해 응용에 한계가 있다. 또한, 광 간섭현상을 이용한 마하-젠더형(Mach-Zender) 광 필터는 반도체 기판상에 광 도파로 및 위상변조기를 제작하여 실현할 수 있는 구조를 가지나, 구조가 복잡하고 제작이 어려운 단점을 가진다. 이러한 종전의 필터 제작방식을 개선하기 위하여 응답속도가 비교적 빠르고, 반도체 공정기술로써 제작이 용이한 MEMS형 구조의 능동형 파장가변 필터가 제안되고 있다.

<14> 한편, 현재 상용화되어 있는 압전형 FP 필터나 광섬유에 새겨진 파이버 브래그 그레이팅(Fiber Bragg Grating) 구조의 가변필터는 가변속도가 msec 수준으로 느리거나 가변파장대역이 좁아 능동형 네트워크 장치에 사용하기가 어려운 반면, 대부분 정전력을 구동원으로 하는 MEMS형 가변필터는 수십 마이크로초( $\mu s$ ) 이하의 응답속도와 100nm 정도의 가변대역 달성이 가능하여 현재의 광통신 시스템에 적용이 가능하다. 그러나 현재 제안되고 있는 갈륨비소 기반 계열의 MEMS형 가변 필터는 제조공정과 패키징 기술의 어려움으로 실리콘 웨이퍼 공정과 같이 일관공정을 할 수 없는 기술적 단점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자 하는 기술적 과제는 실리콘막과 산화막의 다층막 적층 구조로 이루어진 높은 반사율의 거울을 이용한 패브리-페롯(Fabry-Perot) 구조의 능동형 파장가변 광 필터를 제공함에 있다.

<16> 본 발명이 이루고자 하는 다른 기술적 과제는 실리콘 반도체 공정 기술을 이용하고, 공정이 간단하며, 대량 생산이 가능한 패브리-페롯 구조의 능동형 파장가변 광 필터의 제조방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

<17> 상기 기술적 과제를 달성하기 위하여 본 발명은, 실리콘막 및 산화막이 순차적으로 다층 적층되고 최상부에 실리콘막이 적층된 형태의 하부 거울과, 상기 하부 거울과 소정 거리 이격되어 실리콘막 및 산화막이 순차적으로 다층 적층되고 최상부에 실리콘막이 적층된 형태의 상부 거울과, 상기 하부 거울 및 상기 상부 거울을 반도체 기판에 연결하여 지지하기 위한 연결 수단 및 상기 하부 거울 및 상기 상부 거울 사이의 간극을 정전력



으로 제어하기 위한 전극패드를 포함하는 것을 특징으로 하는 파장가변 광 필터를 제공한다.

<18> 상기 다른 기술적 과제를 달성하기 위하여 일 예에 따른 본 발명은, (a) 반도체 기판에 하부 거울을 부양시키기 위한 제1 희생 산화막을 형성하는 단계와, (b) 상기 제1 희생 산화막 상에 도전성의 실리콘막 및 거울 영역을 정의하는 산화막 패턴을 순차적으로 다층 적층하고, 도전성의 실리콘막을 적층하여 하부 거울을 형성하는 단계와, (c) 상기 결과물 상에 제2 희생 산화막을 형성하는 단계와, (d) 상기 제2 희생 산화막 상에 도전성의 실리콘막 및 거울 영역을 정의하는 산화막 패턴을 순차적으로 다층 적층하고, 도전성의 실리콘막을 적층하여 상부 거울을 형성하는 단계와, (e) 상기 반도체 기판의 뒷면을 식각하여 광섬유 삽입을 위한 개구부를 형성하는 단계와, (f) 상기 하부 거울 및 상기 상부 거울을 정전력으로 제어하기 위한 전극패드를 형성하는 단계와, (g) 상기 상부 거울 및 하부 거울이 상기 반도체 기판에 대달린 형태를 갖도록 상기 하부 거울 및 상기 상부 거울의 주변을 상기 제1 희생 산화막이 노출되게 건식 식각하는 단계 및 (h) 상기 하부 거울과 상기 상부 거울 사이에 광 공진 공간을 형성하고 상기 하부 거울이 상기 반도체 기판에 부양되도록 하기 위하여, 상기 제1 희생 산화막 및 상기 제2 희생 산화막을 식각하는 단계를 포함하는 것을 특징으로 하는 파장가변 광 필터의 제조방법을 제공한다.

<19> 또한, 상기 다른 기술적 과제를 달성하기 위하여 다른 예에 따른 본 발명은, (a) 반도체 기판에 거울을 부양시키기 위한 희생 산화막을 형성하는 단계와, (b) 상기 희생 산화막 상에 도전성의 실리콘막 및 거울 영역을 정의하는 산화막 패턴을

순차적으로 다층 적층하고, 도전성의 실리콘막을 적층하여 거울을 형성하는 단계와, (c) 상기 반도체 기판의 뒷면을 식각하여 광섬유 삽입을 위한 개구부를 형성하는 단계와, (d) 상기 거울 간의 간격을 정전력으로 제어하기 위한 전극패드를 형성하는 단계와, (e) 상기 거울이 연결 수단에 의해 매달린 형태를 갖도록 상기 거울 주변의 실리콘막을 상기 희생 산화막이 노출되게 건식 식각하는 단계 및 (f) 상기 거울이 상기 반도체 기판에 부양되도록 하기 위하여 상기 희생 산화막을 식각하는 단계를 포함하되, 상기 (a) 단계 내지 상기 (f) 단계를 거친 반도체 기판을 2개 준비하고, 상기 반도체 기판의 거울이 서로 마주보도록 스페이서층을 삽입하여 접합하는 것을 특징으로 하는 파장가변 광 필터의 제조방법을 제공한다.

<20> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<21> 도 1은 본 발명의 바람직한 실시예에 따른 패브리-패럿 구조의 능동형 파장가변 광 필터를 도시한 도면이다.

<22> 도 1을 참조하면, 본 발명의 바람직한 실시예에 따른 패브리-패럿 구조의 능

동형 파장 가변 필터는, 실리콘막 및 실리콘 산화막이 순차적으로 다층 적층되고 최상부에 실리콘막이 적층된 형태의 하부 거울(180)과, 하부 거울(180)과 소정 거리 이격되어 실리콘막 및 산화막이 순차적으로 다층 적층되고 최상부에 실리콘막이 적층된 형태의 상부 거울(182)과, 하부 거울(180) 및 상부 거울(182)을 반도체 기판(100)에 연결하여 지지하기 위한 연결 수단(155) 및, 하부 거울(180) 및 상부 거울(182) 사이의 간극을 정전력으로 제어하기 위한 전극패드(140, 142)를 포함한다.

<23> 하부 거울(180)은 반도체 기판(100)에 대하여 소정 거리 이격되어 부양되어 있고, 거울 영역(150)에 대응하는 반도체 기판(100)의 뒷면에는 광섬유 삽입을 위한 개구부(130)가 구비되어 있다.

<24> 전극 패드(140, 142)는 각각 하부 거울(180)의 최상부막인 실리콘막과 전기적으로 연결되고, 상부 거울(182)의 최상부막인 실리콘막과 전기적으로 연결된다.

<25> 하부 거울(180) 및 상부 거울(182)은 서로 대칭되게 구비되며, 하부 거울(180) 및 상부 거울(182)은 원판형 구조를 갖는 것이 바람직하다.

<26> 하부 및 상부 거울(180, 182) 주위의 하부 실리콘막(170)과 반도체 기판(100) 사이에 희생 산화막(104)이 구비되며, 하부 및 상부 거울(180, 182) 주위의 영역은 반도체 기판(100)이 노출되도록 개구되어 있다.

<27> 이하에서 더욱 상세하게 설명한다. 이격된 두개의 평면거울(180, 182)은 토션 바 또는 스프링(155)에 매달린 구조로서 실리콘막/실리콘 산화막 적층 구조의 하부 거울(180)과 상부 거울(182)로 이루어진다. 두개의 거울(180, 182)은 실리콘 적층 구조의 하부 실리콘막(170)과 상부 실리콘막(190) 상에 형성된 전극패드(140, 142)에 인가되는 전

압에 의하여 정전기력으로 이격 거리를 미세하게 조절할 수 있는 기능을 가진다. 반도체 기판(100)과 하부 실리콘막(170) 사이에는 두 거울(180, 182)을 반도체 기판(100) 표면으로부터 부양시킬 목적의 제1 희생 산화막(104)이 구비되고, 하부 실리콘막(170)과 상부 실리콘막(190) 사이에는 두 거울의 광 공진 공간 형성을 위해 증착된 거울 간극(gap) 조절용 제2 희생 산화막(116)이 구비된다. 반도체 기판(100) 뒷면의 개구부(130)를 통하여 삽입된 광섬유(160)로부터 나온 다중파장의 신호광(164)은 두 거울(180, 182)을 통과할 때 이격된 두 거울(180, 182)의 미소 거리 제어를 통하여 투사광의 파장을 선택적으로 필터링하여 전송 광섬유(162)에 전송하는 구조를 갖는다.

<28> 도 2 내지 도 19는 패브리-페렛 구조의 능동형 파장가변 광 필터를 제조하는 방법을 설명하기 위하여 도시한 단면도들이다. 도 2 내지 도 19는 도 1의 I-I' 단면을 따라 절단한 경우의 단면도들이다.

<29> 도 2를 참조하면, 양면을 연마한 반도체 기판(100)에 열산화 공정을 통하여 열 산화막(102)을 성장시킨다. 열 산화막(102)은 6000 Å 정도의 두께를 갖도록 성장시킨다. 열 산화막(102)은 950℃ 내지 1100℃ 정도의 온도로 산소 분위기에서 형성할 수 있다. 반도체 기판(100)은 350~400 μm 정도의 두께를 갖는다. 반도체 기판(100)은 실리콘 기판이거나 석영 기판일 수 있다.

<30> 도 3을 참조하면, 열 산화막(102)이 형성된 반도체 기판(100) 일면에 제1 희생 산화막(104)을 형성한다. 제1 희생 산화막(104)은 2 ~ 3 μm 정도의 두께로 형성하는 것이 바람직하다. 제1 희생 산화막(104)은 1.5 Torr 정도의 압력, 300 °C 정

도의 온도에서, 15 sccm 정도의  $\text{SiH}_4$  가스, 1000 sccm 정도의  $\text{N}_2\text{O}$  가스 및 600 sccm 정도의  $\text{N}_2$  가스를 조합하여 PE-CVD(Plasma Enhanced-Chemical Vapor Deposition) 방법으로 형성할 수 있다.

<31> 이어서, 제1 희생 산화막(104) 상에 다결정 또는 단결정의 제1 실리콘막(106)을 증착한다. 제1 실리콘막(106)은 소정 두께, 예컨대  $d = (2m+1)\lambda/4n$  ( $m = 0, 1, 2, \dots$ ) 정도의 두께가 되도록 증착하는 것이 바람직하다. 여기서  $d$ 는 증착두께,  $\lambda$ 는 광원파장,  $n$ 은 증착박막(실리콘막)의 광 굴절율을 나타낸다. 제1 실리콘막(106)은 280 mTorr 정도의 압력, 625 °C 정도의 온도에서, 140~200 sccm 정도의  $\text{SiH}_4$  가스를 사용하여 LP-CVD(Low Pressure-Chemical Vapor Deposition) 방법으로 형성할 수 있다. 다음에, 전기적 통전을 위하여 적층된 제1 실리콘막(106) 표면에 포를( $\text{POCl}_3$ ) 도핑(doping) 또는 인(phosphorus) 등의 이온주입(107) 공정을 행한다.

<32> 도 4를 참조하면, 제1 실리콘막(106) 상에 제1 실리콘 산화막(108)을 증착한다. 제1 실리콘 산화막(108)은 실리콘막과 실리콘 산화막 적층 구조의 하부 거울(180) 형성을 위한 것이다. 제1 실리콘 산화막(108)은 소정 두께, 예컨대  $d = (2m+1)\lambda/4n$  ( $m = 0, 1, 2, \dots$ )가 되도록 증착하는 것이 바람직하다. 여기서  $d$ 는 증착두께,  $\lambda$ 는 광원파장,  $n$ 은 증착박막(실리콘 산화막)의 광 굴절율을 나타낸다. 제1 실리콘 산화막(108)은 350 mTorr 정도의 압력, 710~720 °C 정도의 온도에서, 200 sccm 정도의 TEOS(Tetra Ethyl Ortho Silicate)를 사용하여 LP-CVD(Low Pressure-Chemical Vapor Deposition) 방법으로 형성할 수 있다.

<33> 도 5를 참조하면, 제1 실리콘 산화막(108)을 패터닝하여 제1 실리콘 산화막 패턴(108a)을 형성한다. 제1 실리콘 산화막 패턴(108a)은 거울 영역(150)을 정의한다. 예컨

대, 거울 영역(도 1의 '150' 참조)의 형태가 원판형 구조를 가질 경우, 제1 실리콘 산화막 패턴(108a)도 거울 영역(150)의 형태대로 원판형 구조로 형성한다.

<34> 도 6을 참조하면, 제1 실리콘 산화막 패턴(108a)이 형성된 반도체 기판(100) 상에 소정 두께의 제2 실리콘막(110)을 증착한다. 제2 실리콘막(110)은 소정 두께, 예컨대  $d = (2m+1) \lambda / 4n$  ( $m = 0, 1, 2, \dots$ ) 정도의 두께가 되도록 증착하는 것이 바람직하다. 여기서  $d$ 는 증착두께,  $\lambda$ 는 광원파장,  $n$ 은 증착막(제2 실리콘막)의 광 굴절율을 나타낸다. 제2 실리콘막(110)은 280 mTorr 정도의 압력, 625 °C 정도의 온도에서, 140~200 sccm 정도의  $\text{SiH}_4$  가스를 사용하여 LP-CVD 방법으로 형성할 수 있다.

<35> 도 7을 참조하면, 제2 실리콘막(110) 상에 소정 두께의 제2 실리콘 산화막(112)을 증착한다. 제2 실리콘 산화막(112)은 소정 두께, 예컨대  $d = (2m+1) \lambda / 4n$  ( $m = 0, 1, 2, \dots$ )가 되도록 증착하는 것이 바람직하다. 여기서  $d$ 는 증착두께,  $\lambda$ 는 광원파장,  $n$ 은 증착막(실리콘 산화막)의 광 굴절율을 나타낸다. 제2 실리콘 산화막(112)은 제1 실리콘 산화막(108) 형성 공정과 동일한 방법으로 형성할 수 있다.

<36> 도 8을 참조하면, 제2 실리콘 산화막(112)을 패터닝하여 제2 실리콘 산화막 패턴(112a)을 형성한다. 제2 실리콘 산화막 패턴(112a)은 거울 영역을 정의한다. 예컨대, 거울 영역(도 1의 '150' 참조)의 형태가 원판형 구조를 가질 경우, 제2 실리콘 산화막 패턴(112a)도 거울 영역(150)의 형태대로 원판형 구조로 형성한다.

<37> 도 9를 참조하면, 제2 실리콘 산화막 패턴(112a)이 형성된 반도체 기판(100) 상에 제3 실리콘막(114)을 증착한다. 이어서, 전기적 통전을 위하여 적층된 실리콘막(114) 표면에  $\text{POCl}_3$  도핑 또는 인(phosphorus) 등의 이온 주입 공정(115)을 행한다.

- <38> 한편, 실리콘막과 실리콘 산화막의 적층 구조로 이루어지는 하부 거울(180)의 광 반사율을 높이기 위하여 제3 실리콘막(114)을 형성하기 전에 필요에 따라 상기 기술한 방법과 동일한 방법으로 실리콘막 및 실리콘 산화막을 추가적으로 필요한 만큼 적층할 수 있다.
- <39> 도 10을 참조하면, 하부 거울(180)과 상부 거울(182) 간의 광 공진 공간을 형성하기 위하여 제2 희생 산화막(116)을 공진 공간 두께로 증착한다. 제2 희생 산화막(116)은 인가되는 전압에 따른 정전력에 의하여 상부 거울(182)과 하부 거울(180)간의 이격 거리를 제어할 수 있을 정도의 두께, 예컨대 2 ~ 3  $\mu\text{m}$  정도의 두께로 형성하는 것이 바람직하다. 제2 희생 산화막은 3 Torr 정도의 압력, 300  $^{\circ}\text{C}$  정도의 온도에서, 60 sccm 정도의  $\text{SiH}_4$  가스, 1000 sccm 정도의  $\text{N}_2\text{O}$  가스를 주입하여 PE-CVD(Plasma Enhanced-Chemical Vapor Deposition) 방법으로 형성할 수 있다.
- <40> 이어서, 제2 희생 산화막(116) 상에 하부 거울(180)과 대칭적 적층 구조를 갖는 상부 거울(182)을 형성한다. 이하에서, 상부 거울(182)을 형성하는 단계들을 설명한다.
- <41> 도 11을 참조하면, 먼저 제4 실리콘막(118)을 증착하고, 전기적 통전을 위하여 적층된 제4 실리콘막(118) 표면에  $\text{POCl}_3$  도핑 또는 인(phosphorus) 등의 이온 주입 공정(119)을 수행한다. 제4 실리콘막(118)은 하부 거울(180)의 제1 실리콘막(106)과 동일한 두께 및 방법으로 형성하는 것이 바람직하다.
- <42> 도 12를 참조하면, 제4 실리콘막(118) 상에 제4 실리콘 산화막을 증착한 후, 패터닝하여 제4 실리콘 산화막 패틴(120a)을 형성한다. 상기 제4 실리콘 산화막은 제1 실리콘 산화막(108)과 동일한 두께 및 방법으로 형성하는 것이 바람직하다. 제4 실리콘 산화막 패틴(120a)은 거울 영역(도 1의 '150' 참조)을 정의한다.

- <43> 도 13을 참조하면, 제4 실리콘 산화막 패턴(120a)이 형성된 반도체 기판(100) 상에 제5 실리콘막(122)을 증착한다. 제5 실리콘막(122)은 하부 거울(180)의 제2 실리콘막(110)과 동일한 두께 및 방법으로 증착하는 것이 바람직하다.
- <44> 도 14를 참조하면, 제5 실리콘막(122) 상에 제5 실리콘 산화막을 증착한 다음, 패터닝하여 제5 실리콘 산화막 패턴(124a)을 형성한다. 상기 제5 실리콘 산화막은 제2 실리콘 산화막(112)과 동일한 두께로 증착하는 것이 바람직하다. 제5 실리콘 산화막 패턴(124a)은 거울 영역(도 1의 '150' 참조)을 정의한다.
- <45> 도 15를 참조하면, 제5 실리콘 산화막 패턴(124a)이 형성된 반도체 기판(100) 상에 제6 실리콘막(126)을 증착하고,  $\text{POCl}_3$  도핑 또는 인(phosphorus) 등의 이온주입 공정(127)을 행한다. 제6 실리콘막(126)은 하부 거울(180)의 제3 실리콘막(114)과 동일한 두께 및 방법으로 증착하는 것이 바람직하다.
- <46> 한편, 실리콘막과 실리콘 산화막으로 이루어지는 상부 거울(182)의 광 반사율을 높이기 위하여 제6 실리콘막(126)을 형성하기 전에 필요에 따라 상기 전술한 방법과 동일한 방법으로 실리콘막 및 실리콘 산화막을 필요한 만큼 추가적으로 적층할 수도 있다.
- <47> 도 16을 참조하면, 하부 거울(180)의 제3 실리콘막(114)과 전기적으로 연결되는 전극패드(도 1의 '140' 참조)를 형성하기 위하여 플라즈마 식각공정으로 상부 거울(182)을 이루는 실리콘막(126, 122, 118) 및 제2 회생 산화막(116)을 식각한다. 이어서, 반도체 기판(100)의 뒷면 식각시 앞면 구조물을 보호하기 위한 보호 산화막(128)을 증착한다.
- <48> 도 17을 참조하면, 반도체 기판(100)의 뒷면을 식각한다. 즉, 반도체 기판(100) 뒷면에 광섬유 삽입을 위한 개구부(130)를 정의하는 포토레지스트 패턴을 형성하고, 상기



포토리지스트 패턴을 식각 마스크로 하여 반도체 기판(100) 뒷면의 열 산화막(102)을 개방하고, 하부 거울(180) 하부의 제1 회생 산화막(104) 아래까지 KOH 등의 실리콘 식각용액을 사용하여 습식식각을 행하거나 깊은 반응이온식각(Deep Reactive Ion Etching; Deep RIE) 방법으로 광섬유(160) 삽입을 위한 개구부(130)를 형성한다. 상기 깊은 반응이온식각은 예컨대  $\text{SF}_6$  가스 또는  $\text{C}_4\text{F}_8$  가스 등을 사용한다.

<49> 도 18을 참조하면, 반도체 기판(100) 뒷면에 광섬유 삽입 개구부(130)를 형성한 후, 반도체 기판(100) 앞면에 형성된 보호 산화막(128)을 제거한다. 이어서, 제6 실리콘막(126) 및 제3 실리콘막(114) 상에 도전물질층을 증착하고 패터닝하여 전극패드(140, 142)를 형성한다. 전극패드(140, 142)는 하부 거울(180) 및 상부 거울(182)의 최상부 실리콘막과 전기적으로 연결되며, 전극패드(140, 142)에 전압을 인가함으로써 하부 거울(180) 및 상부 거울(182) 사이의 간극을 제어할 수 있다.

<50> 도 19를 참조하면, 실리콘막과 실리콘 산화막의 적층 구조로 된 하부 및 상부 거울(180, 182)을 도 1에서와 같은 광 공진 거울 구조의 패턴 모양으로 포토리소그래피 공정을 통하여 정의한다. 이어서, 연결수단(155), 즉 토션 바 또는 스프링에 매달린 형태의 거울 구조물 패턴을 형성하기 위하여 상기 포토리지스트 공정에 의하여 정의된 포토리지스트 패턴을 식각 마스크로 사용하여 제1 회생 산화막(104)이 노출될 때까지 건식 식각한다. 예를 들면, 실리콘막은  $\text{SF}_6$  가스 또는  $\text{CF}_4$  가스 등을 사용하여 식각하며, 실리콘 산화막은  $\text{CF}_4$  가스 또는  $\text{CHF}_3$  가스 등을 사용하여 식각할 수 있다.

<51> 다음에, 제2 회생 산화막(116) 및 제1 회생 산화막(104)을 불산용액을 이용한 습식 식각 또는 무수 불화수소(anhydrous HF) 등을 사용한 기상 식각 방법(gas

phase etching; GPE)으로 제거한다. 상기 습식 식각 및 기상 식각 방법은 등방성 식각 특성을 가지므로 상부 거울(182)과 하부 거울(180) 사이의 제2 회생 산화막(116)이 제거되어 광 공진 공간이 형성되며, 또한 하부 거울(180)과 반도체 기판(100) 사이의 제1 회생 산화막(104)도 광섬유 삽입 개구부(130)를 통해 식각되어 하부 거울(180)이 반도체 기판(100)에 소정 거리 이격되어 부양된 형태를 갖게된다.

<52> 상술한 과정들을 통해 실리콘막/실리콘 산화막의 다층 적층 구조의 광 반사막층을 가지는 한 쌍의 이격된 거울(180, 182)이 정전력으로 구동되는 패브리-페럿 구조의 파장 가변 광 필터를 제작할 수 있다.

<53> 한편, 하부 거울(180) 및 상부 거울(182)을 기판(100) 상에 한 쌍으로 형성하지 아니하고, 하부 거울(180) 구조만 기판 상에 형성하고 전극(140) 및 광섬유 삽입 개구부(130) 형성과 회생 산화막(104) 제거 공정을 마친 웨이퍼 또는 전단된 개별 칩으로써 스페이서(spacer)층을 이용하여 소정 간격을 두고 서로 마주보게 정렬하여 접합하는 방법으로 패브리-페럿 구조의 파장가변 광 필터를 제작할 수도 있다. 이를 더욱 구체적으로 설명하면 다음과 같다. 먼저, 반도체 기판에 거울을 부양시키기 위한 회생 산화막을 형성한다. 이때, 상기 회생 산화막을 형성하기 전에, 상기 반도체 기판 양면에 열 산화막을 형성할 수도 있다. 이어서, 상기 회생 산화막 상에 도전성의 실리콘막 및 거울 영역을 정의하는 산화막 패턴을 순차적으로 다층 적층하고, 도전성의 실리콘막을 적층하여 거울을 형성한다. 다음에, 상기 반도체 기판의 뒷면을 식각하여 광섬유 삽입을 위한 개구부를 형성한다. 이어서, 상기 거울 간의 간격을 정전력으로 제어하기 위한 전극패드를 형성한다. 다음에, 상기 거울이 연결 수단에 의해 매달린 형태를 갖도록 상기 거울 주변의 실리콘막을 상기 회생 산화막이 노출되게 건식 식각한다. 이어서, 상기 거울이 상

기 반도체 기판에 부양되도록 하기 위하여 상기 희생 산화막을 식각한다. 마지막으로 상기 과정들을 거친 반도체 기판을 2개 준비하고, 상기 반도체 기판의 거울이 서로 마주보도록 스페이서층을 삽입하여 접합하여 패브리-패럿 구조의 파장가변 광 필터를 완료한다.

<54> 또한, 전극패드(140, 142)는 각각 하부 거울(180)의 최상부막인 실리콘막 및 상부 거울(182)의 최상부막인 실리콘막에 전기적으로 연결하여 공진 겹을 조절할 수 있으나, 다른 방법으로써 실리콘 기판(100)과 하부 거울(180)을 이루는 실리콘막에 전극 패드를 형성하여 기판(100)과 하부 거울간의 간극을 조절함으로써 상대적으로 상부 및 하부 거울(182, 180)간의 미소간극을 조절할 수도 있다.

<55> 또한, 상부 거울(182) 및 하부 거울(180)이 모두 연결수단(155)에 의해 매달린 형태를 갖도록 형성하였으나, 상부 거울(182)만 연결수단(155)에 의해 매달린 형태를 갖도록 형성하고 하부 거울(180)은 반도체 기판(100)에 부유시키지 않는, 즉 기판에 매립된 구조의 적층이 된 형태로 형성할 수도 있다. 이는 거울이 연결수단(155)에 매달린 형태를 갖도록 하기 위해 실시하는 건식 식각을 제2 희생 산화막(116)이 노출될 때까지만 수행함으로써 제2 희생 산화막(116) 식각 후, 상부 거울(182)만 연결수단(155)에 매달린 형태를 갖도록 하는 것이 가능하다.

#### 【발명의 효과】

<56> 본 발명에 의하면, 실리콘 웨이퍼상에 광 굴절율의 차이가 큰 실리콘막(폴리

실리콘)과 실리콘 산화막의 다층 적층 구조로써 높은 광반사율을 가지는 다층박막 거울을 구현함과 동시에, 실리콘 산화막과 실리콘막의 높은 식각 선택비를 이용하여 기판에 부양된 광 필터 소자를 제작할 수 있다. 특히, 패브리-패럿 필터의 구조를 실리콘/산화막의 다층 적층구조로 형성되는 거울영역 이외의 패턴은 실리콘막의 적층구조로서 구성함으로써 일반적인 실리콘 반도체 IC 공정만으로 파장가변 기능의 광 필터를 용이하게 제작할 수 있다. 본 발명은 이미 확립된 실리콘 반도체 공정의 기본기술을 이용하여 표면 미세가공(surface micromachining)기술로써 제작이 가능하고, 제작구조 및 공정방법이 간단하여 저가로 일관공정에 의하여 대량생산을 할 수 있다.

<57> 또한, 본 발명에 의하면, 일반적인 반도체 공정과 재료를 이용함으로써 반도체 기판을 사용하는 일관공정이 가능하며, 반도체 IC 공정과의 호환성으로 한 기판상에 파장가변 광 필터와 제어 및 구동용 IC회로를 동시에 집적할 수 있는 장점을 가진다.

<58> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

실리콘막 및 산화막이 순차적으로 다층 적층되고 최상부에 실리콘막이 적층된 형태의 하부 거울;

상기 하부 거울과 소정 거리 이격되어 실리콘막 및 산화막이 순차적으로 다층 적층되고 최상부에 실리콘막이 적층된 형태의 상부 거울;

상기 하부 거울 및 상기 상부 거울을 반도체 기판에 연결하여 지지하기 위한 연결 수단; 및

상기 하부 거울 및 상기 상부 거울 사이의 간극을 정전력으로 제어하기 위한 전극 패드를 포함하는 것을 특징으로 하는 파장가변 광 필터.

**【청구항 2】**

제1항에 있어서, 상기 하부 거울은 도전성의 제1 실리콘막/제1 산화막/제2 실리콘막/제2 산화막/도전성의 제3 실리콘막이 순차적으로 적층된 구조로 이루어진 것을 특징으로 하는 파장가변 광 필터.

**【청구항 3】**

제1항에 있어서, 상기 하부 거울은 실리콘막 및 산화막이 순차적으로 적어도 3층 이상이 적층되고 최상부에 도전성의 실리콘막이 적층된 구조로 이루어진 것을 특징으로 하는 파장가변 광 필터.

**【청구항 4】**

제1항에 있어서, 상기 상부 거울은 도전성의 제1 실리콘막/제1 산화막/제2 실리콘막/제2 산화막/도전성의 제3 실리콘막이 순차적으로 적층된 구조로 이루어진 것을 특징으로 하는 파장가변 광 필터.

**【청구항 5】**

제1항에 있어서, 상기 상부 거울은 실리콘막 및 산화막이 순차적으로 적어도 3층이 이상이 적층되고 최상부에 도전성의 실리콘막이 적층된 구조로 이루어진 것을 특징으로 하는 파장가변 광 필터.

**【청구항 6】**

제1항에 있어서, 상기 실리콘막은  $(2m+1)\lambda/4n$  ( $m=0, 1, 2, \dots$ )(여기서,  $\lambda$ 는 광원파장,  $n$ 은 실리콘막의 광 굴절율임)이 되는 두께를 갖도록 형성된 것을 특징으로 하는 파장가변 광 필터.

**【청구항 7】**

제1항에 있어서, 상기 산화막은  $(2m+1)\lambda/4n$  ( $m=0, 1, 2, \dots$ )(여기서,  $\lambda$ 는 광원파장,  $n$ 은 산화막의 광 굴절율임)이 되는 두께를 갖도록 형성된 것을 특징으로 하는 파장가변 광 필터.

**【청구항 8】**

제1항에 있어서, 상기 연결 수단은 실리콘막으로 이루어진 토션 바 또는 스프링인 것을 특징으로 하는 파장가변 광 필터.

**【청구항 9】**

제1항에 있어서, 상기 하부 거울은 상기 반도체 기판에 대하여 소정 거리 이격되어 부양되어 있고, 상기 하부 거울 영역에 대응하는 상기 반도체 기판의 뒷면에는 광섬유 삽입을 위한 개구부가 구비되어 있는 것을 특징으로 하는 파장가변 광 필터.

**【청구항 10】**

제1항에 있어서, 상기 하부 거울 및 상기 상부 거울은 서로 대칭되게 구비되며, 상기 하부 거울 및 상기 상부 거울은 원판형 구조를 갖는 것을 특징으로 하는 파장가변 광 필터.

**【청구항 11】**

제1항에 있어서, 상기 하부 거울 및 상부 거울이 상기 연결 수단에 의해 매달린 형태를 갖도록 상기 하부 및 상부 거울 주위의 영역은 상기 반도체 기판이 노출되도록 개구되어 있는 것을 특징으로 하는 파장가변 광 필터.

**【청구항 12】**

제1항에 있어서, 상기 상부 거울이 상기 연결 수단에 의해 매달린 형태를 갖도록 상기 상부 거울 주위의 영역은 상기 하부 거울의 주변 영역이 노출되도록 개구되어 있는 것을 특징으로 하는 파장가변 광 필터.

**【청구항 13】**

(a) 반도체 기판에 하부 거울을 부양시키기 위한 제1 희생 산화막을 형성하는 단계

;

(b) 상기 제1 회생 산화막 상에 도전성의 실리콘막 및 거울 영역을 정의하는 산화막 패턴을 순차적으로 다층 적층하고, 도전성의 실리콘막을 적층하여 하부 거울을 형성하는 단계;

(c) 상기 결과물 상에 제2 회생 산화막을 형성하는 단계;

(d) 상기 회생 산화막 상에 도전성의 실리콘막 및 거울 영역을 정의하는 산화막 패턴을 순차적으로 다층 적층하고, 도전성의 실리콘막을 적층하여 상부 거울을 형성하는 단계;

(e) 상기 반도체 기판의 뒷면을 식각하여 광섬유 삽입을 위한 개구부를 형성하는 단계;

(f) 상기 하부 거울 및 상기 상부 거울을 정전력으로 제어하기 위한 전극패드를 형성하는 단계;

(g) 상기 상부 거울이 연결 수단에 의해 매달린 형태를 갖도록 상기 상부 거울 주변의 실리콘막을 상기 제2 회생 산화막이 노출되게 건식 식각하는 단계; 및

(h) 상기 하부 거울과 상기 상부 거울 사이에 광 공진 공간을 형성하고 상기 하부 거울이 상기 반도체 기판에 부양되도록 하기 위하여, 상기 제1 회생 산화막 및 상기 제2 회생 산화막을 식각하는 단계를 포함하는 것을 특징으로 하는 파장가변 광 필터의 제조 방법.

#### 【청구항 14】

제13항에 있어서, 상기 (g) 단계 후 상기 (h) 단계 전에,



상기 하부 거울이 연결 수단에 의해 매달린 형태를 갖도록 상기 제2 희생 산화막 및 상기 하부 거울 주변의 실리콘막을 상기 제1 희생 산화막이 노출되게 건식 식각하는 단계를 더 포함하는 것을 특징으로 하는 파장가변 광 필터의 제조방법.

#### 【청구항 15】

제13항에 있어서, 상기 제1 및 제2 희생 산화막의 식각은 실리콘막에 비하여 희생 산화막의 식각 속도가 빠른 불산 용액을 사용한 습식 식각 또는 무수 불화수소를 사용한 기상 식각 방법을 사용하는 것을 특징으로 파장가변 광 필터의 제조방법.

#### 【청구항 16】

제13항에 있어서, 상기 실리콘막은  $(2m+1)\lambda/4n$  ( $m=0, 1, 2, \dots$ )(여기서,  $\lambda$ 는 광원파장,  $n$ 은 실리콘막의 광 굴절율임)이 되는 두께를 갖도록 형성하는 것을 특징으로 하는 파장가변 광 필터의 제조방법.

#### 【청구항 17】

제13항에 있어서, 상기 산화막은  $(2m+1)\lambda/4n$  ( $m=0, 1, 2, \dots$ )(여기서,  $\lambda$ 는 광원파장,  $n$ 은 산화막의 광 굴절율임)이 되는 두께를 갖도록 형성하는 것을 특징으로 하는 파장가변 광 필터의 제조방법.

#### 【청구항 18】

제13항에 있어서, 상기 제1 희생 산화막을 형성하기 전에, 상기 반도체 기판 양면에 열 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 파장가변 광 필터의 제조방법.

## 【청구항 19】

제13항에 있어서, 상기 하부 거울을 형성하는 단계는,

상기 제1 희생 산화막 상에 도전성의 제1 실리콘막을 증착하는 단계;

상기 제1 실리콘막 상에 제1 산화막을 증착한 후, 거울 영역이 정의되도록 패터닝하는 단계;

상기 제1 실리콘막 및 상기 패터닝된 제1 산화막 상에 제2 실리콘막을 증착하는 단계;

상기 제2 실리콘막 상에 제2 산화막을 증착한 후, 거울 영역이 정의되도록 패터닝하는 단계; 및

상기 제2 실리콘막 및 상기 패터닝된 제2 산화막 상에 도전성의 제3 실리콘막을 형성하는 단계를 포함하는 것을 특징으로 파장가변 광 필터의 제조방법.

## 【청구항 20】

제13항에 있어서, 상기 상부 거울을 형성하는 단계는,

상기 제2 희생 산화막 상에 도전성의 제1 실리콘막을 형성하는 단계;

상기 제1 실리콘막 상에 제1 산화막을 증착한 후, 거울 영역이 정의되도록 패터닝하는 단계;

상기 제1 실리콘막 및 상기 패터닝된 제1 산화막 상에 제2 실리콘막을 증착하는 단계;

상기 제2 실리콘막 상에 제2 산화막을 증착한 후, 거울 영역이 정의되도록 패터닝하는 단계; 및

상기 제2 실리콘막 및 상기 패터닝된 제2 산화막 상에 도전성의 제3 실리콘막을 형성하는 단계를 포함하는 것을 특징으로 파장가변 광 필터의 제조방법.

#### 【청구항 21】

- (a) 반도체 기판에 거울을 부양시키기 위한 희생 산화막을 형성하는 단계;
- (b) 상기 희생 산화막 상에 도전성의 실리콘막 및 거울 영역을 정의하는 산화막 패턴을 순차적으로 다층 적층하고, 도전성의 실리콘막을 적층하여 거울을 형성하는 단계;
- (c) 상기 반도체 기판의 뒷면을 식각하여 광섬유 삽입을 위한 개구부를 형성하는 단계;
- (d) 상기 거울 간의 간격을 정전력으로 제어하기 위한 전극패드를 형성하는 단계;
- (e) 상기 거울이 연결 수단에 의해 매달린 형태를 갖도록 상기 거울 주변의 실리콘막을 상기 희생 산화막이 노출되게 건식 식각하는 단계; 및
- (f) 상기 거울이 상기 반도체 기판에 부양되도록 하기 위하여 상기 희생 산화막을 식각하는 단계를 포함하되,

상기 (a) 단계 내지 상기 (f) 단계를 거친 반도체 기판을 2개 준비하고, 상기 반도체 기판의 거울이 서로 마주보도록 스페이서층을 삽입하여 접합하는 것을 특징으로 하는 파장가변 광 필터의 제조방법.

#### 【청구항 22】

제21항에 있어서, 상기 희생 산화막의 식각은 실리콘막에 비하여 희생 산화막의 식각 속도가 빠른 불산 용액을 사용한 습식 식각 또는 무수 불화수소를 사용한 기상 식각 방법을 사용하는 것을 특징으로 파장가변 광 필터의 제조방법.

## 【청구항 23】

제21항에 있어서, 상기 실리콘막은  $(2m+1)\lambda/4n$  ( $m=0, 1, 2, \dots$ )(여기서,  $\lambda$ 는 광원파장,  $n$ 은 실리콘막의 광 굴절율임)이 되는 두께를 갖도록 형성하는 것을 특징으로 하는 파장가변 광 필터의 제조방법.

## 【청구항 24】

제21항에 있어서, 상기 산화막은  $(2m+1)\lambda/4n$  ( $m=0, 1, 2, \dots$ )(여기서,  $\lambda$ 는 광원파장,  $n$ 은 산화막의 광 굴절율임)이 되는 두께를 갖도록 형성하는 것을 특징으로 하는 파장가변 광 필터의 제조방법.

## 【청구항 25】

제21항에 있어서, 상기 희생 산화막을 형성하기 전에, 상기 반도체 기판 양면에 열산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 파장가변 광 필터의 제조방법.

## 【청구항 26】

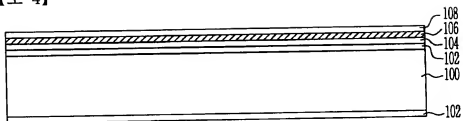
제21항에 있어서, 상기 거울을 형성하는 단계는,  
 상기 희생 산화막 상에 도전성의 제1 실리콘막을 증착하는 단계;  
 상기 제1 실리콘막 상에 제1 산화막을 증착한 후, 거울 영역이 정의되도록 패터닝하는 단계;  
 상기 제1 실리콘막 및 상기 패터닝된 제1 산화막 상에 제2 실리콘막을 증착하는 단계;

상기 제2 실리콘막 상에 제2 산화막을 증착한 후, 거울 영역이 정의되도록 패터닝하는 단계; 및

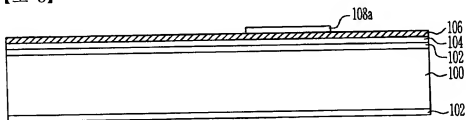
상기 제2 실리콘막 및 상기 패터닝된 제2 산화막 상에 도전성의 제3 실리콘막을 형성하는 단계를 포함하는 것을 특징으로 파장가변 광 필터의 제조방법.



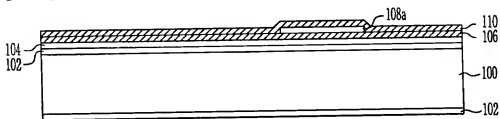
【도 4】



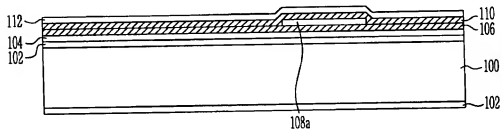
【도 5】



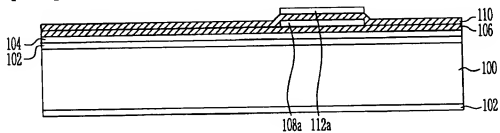
【도 6】



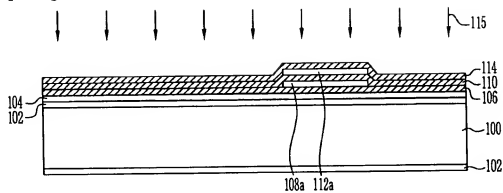
【도 7】



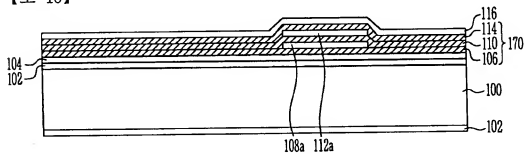
【도 8】



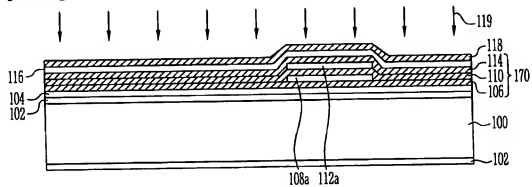
【도 9】



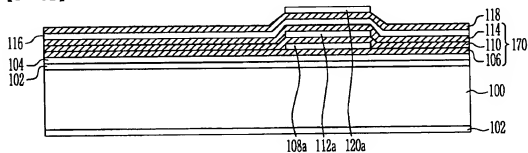
【도 10】



【도 11】

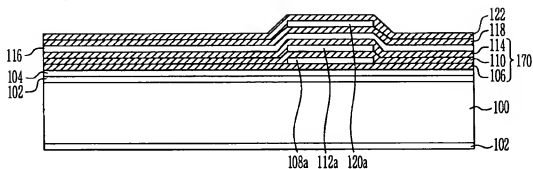


【도 12】

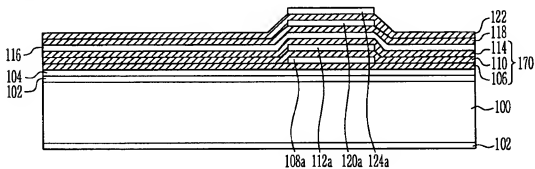




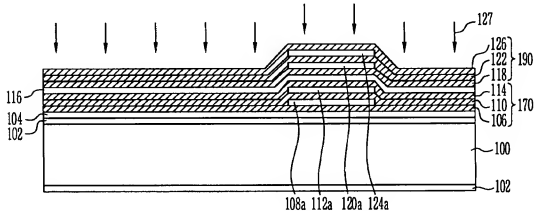
【도 13】



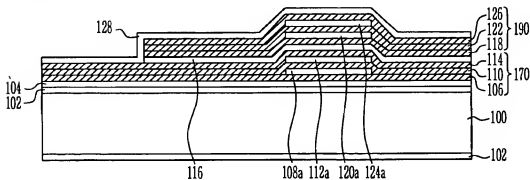
【도 14】



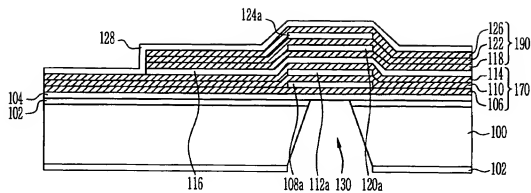
【도 15】



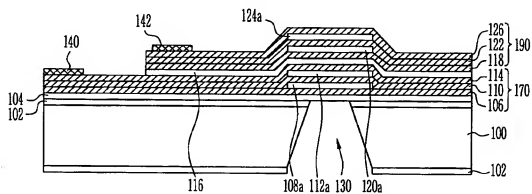
【도 16】



【도 17】



【도 18】



【도 19】

